

研究室名	棚本研究室 学会発表
【発表者について】アンダーラインは本学教員 研究員および技術職員 ○は発表者 ※は大学院生 卒研生または卒業生	
発表時期	2022年11月10日
学会名	電子情報通信学会 シリコン材料・デバイス研究会 (SDM)
演題名	[招待講演] CMOSを用いたスピニ量子ビット読み出し単 電子回路シミュレーション
発表者	○棚本哲史
内容	量子コンピュータでは量子ビットの研究と同様に周辺回路の研究も重要である。量子ビットの検出には通常、単一電子素子 (Single Electron Transistor, SET) が用いられる。この報告では、シリコン量子コンピュータの測定システムのスケーラブルな検出回路について、CMOS回路にSETのペアを実装する方式の検討結果を示す。具体的には、二段増幅プロセスを提案し、SPICE(Simulation Program with Integrated Circuit Emphasis)回路シミュレータを適用して数値的に特性を調べた。第1の増幅段階は、SETをpMOSトランジスタに直接接続することによって実行される。第2段階では、参照SETを導入し、差動増幅回路やSRAMセルなどの標準的な増幅回路を使用して、2つのSET間の差を増幅する。SETからCMOS回路への直接信号転送により、量子ビットのCMOS回路への統合がより実現可能になる。